



英特尔® Quartus® Prime 设计软件

英特尔 Quartus® Prime 在 FPGA、CPLD 和片上系统设计方面的性能首屈一指，能够以最快的速度将概念转变为现实。Quartus Prime 软件还支持许多用于逻辑综合、静态时序分析、板级仿真、信号完整性分析和正规验证的第三方工具。

QUARTUS PRIME 软件设计流程

QUARTUS PRIME 关键特性		上市信息			
		精简版 (免费)	标准版 (收费)	专业版 (收费)	
器件支持	Stratix® 系列		✓		
	Arria® 系列	II - V	✓ ¹		
		II			
		10		✓	
	Cyclone® 系列	II - V	✓	✓	
		10 LP	✓	✓	
10 GX				✓ ²	
	MAX® 系列	✓	✓		
设计输入	多处理器支持 (编译速度更快)		✓	✓	
	IP 基础套件	需要购买	✓	✓	
	英特尔 Qsys 系统集成工具	✓	✓		
	英特尔 Qsys Pro 系统集成工具			✓	
	快速重新编译		✓ ³	✓	
	蓝图平台设计工具			✓	
功能模拟	ModelSim* — 英特尔 FPGA 初级版软件	✓	✓	✓	
	ModelSim — 英特尔 FPGA 版软件	✓ ⁴	✓ ⁴	✓ ⁴	
综合	支持设计可移植性的行业标准语言			✓	
布局布线	Fitter (布局和布线)	✓	✓	✓	
	增量优化			✓	
	混合布局工具		✓ ⁵	✓	
设计流	局部重配置		✓ ⁶	✓	
时序和功耗验证	TimeQuest 静态时序分析工具	✓	✓	✓	
	功耗分析	✓	✓	✓	
系统内调试	SignalTap™ II 逻辑分析工具	✓	✓	✓	
	收发器工具包		✓	✓	
	JNEye 链接分析工具		✓	✓	
操作系统 (OS) 支持	Windows*/Linux* 64 位支持	✓	✓	✓	
插件开发工具	面向 OpenCL™ 的英特尔 FPGA SDK	✓ ⁴	✓ ⁴	✓ ⁴	
	适用于英特尔 FPGA 的 DSP Builder	✓ ⁴	✓ ⁴	✓ ⁴	
	Nios® II 嵌入式设计套件	✓	✓	✓	
	英特尔® 系统芯片 FPGA 嵌入式设计套件	✓	✓	✓	
价格		免费	购买 固定 — 2,995 美元 浮动 — 3,995 美元	购买 固定 — 3,995 美元 浮动 — 4,995 美元	
下载		立即下载	立即下载	立即下载	

OpenCL 和 OpenCL 标识是苹果公司的商标，需获得 Khronos 的许可方能使用。

注:

- Arria II FPGA 仅支持 EP2AGX45 器件。
- 专业版软件免费提供 Cyclone 10 GX 器件支持。
- 适用于 Stratix V、Arria V 和 Cyclone V 器件。
- 需要额外的许可证。
- 适用于 Arria 10、Stratix V、Arria V 和 Cyclone V 器件。
- 仅适用于 Cyclone V 和 Stratix V 器件。

QUARTUS PRIME 设计软件功能总结

设计流程方法	蓝图平台设计工具	可支持用户使用实时合法性检查快速创建 I/O 设计的平台设计工具。
	Pin Planner	可简化为高密度和高引脚数设计分配和管理引脚分配的过程。
	Qsys 或 Qsys Pro	使用分层方法和基于片上网络架构的高性能互联网，集成 IP 功能和子系统（IP 功能集合），从而实现系统开发自动化。
	即时可用的 IP 内核	支持您使用英特尔和英特尔第三方 IP 合作伙伴提供的 IP 内核构建您的系统级设计。
	综合	现在提供了适用于 System Verilog 和 VHDL 2008 的扩展语言支持
	脚本编辑支持	支持命令行操作、Tcl 脚本编辑和图形用户界面（GUI）设计。
	快速重新编译	最大限度地提高您的工作效率，编译时间可缩短 4 倍（全编译后的轻微设计变更）。改进了设计时序保存。
	增量优化	Quartus Prime Pro Edition 软件的增量优化功能提供了一种更快合并到设计验收的方法。将传统的装配阶段划分为更精细的阶段，以便能更有效地控制设计流程。
	局部重配置	在 FPGA 上创建一个物理区域，可对其进行重新配置，并用于执行不同的功能。对区域内实施的功能进行合成、配置、寻址、时序闭合，并为其生成配置位流。
性能和时序 闭合方法	物理综合	使用布局布线后延迟信息提高性能。
	设计空间浏览器（DSE）	通过组合使用 Quartus Prime 软件设置支持自动迭代，从而提高性能，并找到最佳结果。
	广泛的交叉探寻	为验证工具和设计源文件之间的交叉探寻提供了支持。
	优化顾问	提供针对设计的建议，从而提高性能、资源使用率和功耗。
	芯片规划工具	支持在几分钟内执行小型任务布置和路由设计变更，缩短验证时间，同时保持时序闭合。
验证	TimeQuest 时序分析工具	提供原生 Synopsys* 设计约束（SDC）支持，支持用户创建、管理和分析复杂的时序约束，并快速执行高级时序验证。
	SignalTap II 逻辑分析工具 ¹	支持嵌入式逻辑分析工具可提供的最多的通道数、最快的时钟速度、最大的采样深度和最先进的触发功能。
	系统控制台	支持您通过读写事务轻松实时调试 FPGA。它还支持快速创建 GUI，帮助您监控，并向 FPGA 发送数据。
	PowerPlay 技术	支持您准确分析和优化动态和静态能耗。
第三方支持	EDA 合作伙伴	为合成、功能模拟、时序模拟、静态时序分析、板级仿真、信号完整性分析和形式验证提供了 EDA 软件支持。如需查看完整的合作伙伴清单，请访问： www.altera.com/eda-partners

注：

1. 提供了 Quartus Prime 精简版软件中启用的 Talkback 功能。

入门步骤

第 1 步：下载免费的 Quartus Prime 精简版软件

www.altera.com/download

第 2 步：获取 Quartus Prime 软件交互式教程。

安装完成后，在欢迎屏幕打开交互式教程。

第 3 步：注册培训

www.altera.com/training

